

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problems Mailbox.**

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-116427

(43)Date of publication of application : 02.05.1997

(51)Int.Cl.

H03L 7/087

H03L 7/10

H04L 7/033

H04L 7/08

(21)Application number : 07-270776

(71)Applicant : NEC CORP

(22)Date of filing : 19.10.1995

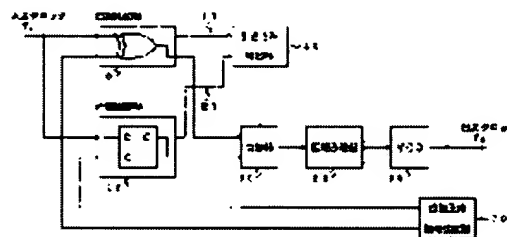
(72)Inventor : SAITO SADAYOSHI

## (54) PHASE LOCKED LOOP CIRCUIT

### (57)Abstract:

**PROBLEM TO BE SOLVED:** To shorten the pulling-in time from the asynchronous state to the synchronous state at the time of synchronizing the phase and to provide a characteristics having a high tolerance to step out in the synchronous state.

**SOLUTION:** An input clock  $f_1$  is inputted to phase comparators 10 and 20 different by pulling-in characteristics. Signals 11 and 21 indicating respective synchronous states of phase comparators 10 and 20 are inputted to a pulling-in detector 40, and the output of this detector 40 selects one of phase comparators 10 and 20 by a switch 30. If both phase comparators 10 and 20 are asynchronous or only the phase comparator 20 is asynchronous, the phase comparator 10 is selected. If they are synchronous, the pulling-in detector 40 selects the phase comparator 20.



## LEGAL STATUS

[Date of request for examination] 19.10.1995

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 2776334

[Date of registration] 01.05.1998

[Number of appeal against examiner's decision of

rejection]

[Date of requesting appeal against examiner's  
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-116427

(43) 公開日 平成9年(1997)5月2日

(51) Int.Cl. <sup>8</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 0 3 L	7/087		H 0 3 L 7/08	P
	7/10		H 0 4 L 7/08	D
H 0 4 L	7/033		H 0 3 L 7/10	Z
	7/08		H 0 4 L 7/02	B

審査請求 有 請求項の数3 O L (全 5 頁)

(21) 出願番号 特願平7-270776

(22) 出願日 平成7年(1995)10月19日

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 斎藤 定祥

東京都港区芝五丁目7番1号 日本電気株式会社内

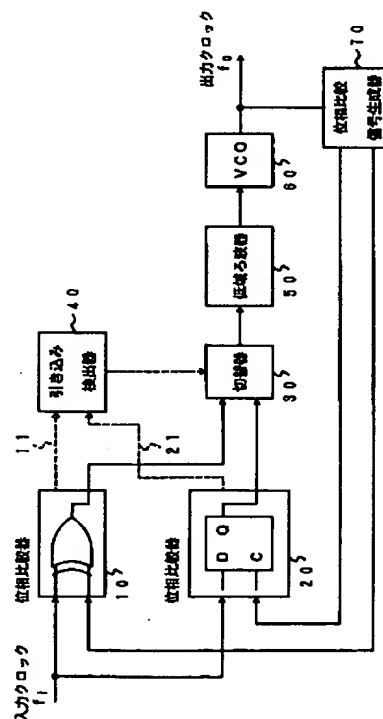
(74) 代理人 弁理士 京本 直樹 (外2名)

## (54) 【発明の名称】 位相同期回路

## (57) 【要約】

【課題】 位相同期を行う際に、非同期状態から同期状態までの引き込み時間を短くし、同期状態のときの同期はずれに対する耐力の強い特性をもつ位相同期回路を得ることを目的とする。

【解決手段】 入力クロック  $f_i$  は引き込み特性の異なる位相比較器10と位相比較器20に入力する。位相比較器10と位相比較器20のそれぞれの同期状態を示す信号11, 21を引き込み検出器40に入力し、引き込み検出器40の出力は、兩位相比較器10, 20のどちらかを切替器30により選択する。兩位相比較器10, 20が非同期または位相比較器20だけが非同期のときは位相比較器10を選択する。同期の時は、引き込み検出器40は、位相比較器20を選択する。



## 1

## 【特許請求の範囲】

【請求項1】 入力クロックに対して位相同期された出力クロックを得る位相同期回路において、前記入力クロックを片方の位相比較信号として入力し、前記位相同期回路が非同期から同期に至る引き込み時間が短く、同期はずれに対する耐力が弱い第1の位相比較器と、前記入力クロックを片方の位相比較信号として入力し、前記位相同期回路が非同期から同期に至る引き込み時間が前記第1の位相比較器よりも長く、同期はずれに対する耐力が強い第2の位相比較器と、前記第1、第2の位相比較器より位相引き込み状態を示す第1、第2の制御信号をそれぞれ入力し、非同期状態のときは前記第1の位相比較器を選択し、同期状態のときは前記第2の位相比較器を選択するように切替器に選択信号を出力する引き込み検出器と、前記選択信号に基づき前記第1の位相比較器と前記第2の位相比較器の出力を切り替える切替器と、前記切替器の出力を積分して電圧制御発振器に送出する低域ろ波器と、前記低域ろ波器の出力に対応した前記出力クロックを出力する前記電圧制御発振器と、前記出力クロックから前記第1の位相比較器と前記第2の位相比較器の他方の位相比較信号を生成する位相比較信号生成器とを具備することを特徴とする位相同期回路。

【請求項2】 前記第1の位相比較器には、排他的論理和を用い、前記第2の位相比較器には、フリップフロップを用いることを特徴とする請求項1記載の位相同期回路。

【請求項3】 前記引き込み検出器は、前記第1、第2の制御信号が共に非同期状態もしくは前記第2の制御信号のみが非同期状態の場合に、前記第1の位相比較器の出力を選択し、前記第1、第2の制御信号が共に同期状態もしくは前記第1の制御信号のみが非同期状態の場合に、前記第2の位相比較器の出力を選択するよう前記切替器に前記選択信号を出力することを特徴とする請求項1記載の位相同期回路。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、入力クロックに位相同期した出力クロックを得るために非同期状態からの引き込み時間を短縮し、かつ同期はずれに対する耐力を強くする方式に関する。

## 【0002】

【従来の技術】従来、この種の位相同期回路では、図4に示すような例で入力クロック $f_i$ に対して位相同期を行っていた。位相比較器110は、入力クロック $f_i$ と出力クロック $f_o$ を比較し比較結果を低域ろ波器120に送出し、低域ろ波器120は、位相比較器110の出力を積分してVCO130に出力し、VCO130は低

## 2

域ろ波器120からの積分結果の電圧に対応した出力クロック $f_o$ を出力し、出力クロック $f_o$ は分岐され位相比較器110にフィードバックされる。

【0003】次に、動作について説明すると、位相比較器110は入力クロック $f_i$ と出力クロック $f_o$ を比較して、入力クロック $f_i$ で周波数が変動したりやVCO130の同期がはずれている時は位相比較器110の結果が変化し、低域ろ波器120の出力電圧が変化することによってVCO130の入力電圧が変わり、出力周波数が変わる。非同期状態から同期状態までの引き込み時間や同期外れに対する耐力は、使用している位相比較器110の特性によって決まる。

【0004】以上の位相同期回路は、従来より種々の回路があり、例えば、特開昭60-142621号公報にも開示されている。

## 【0005】

【発明が解決しようとする課題】位相同期を行う際に、非同期状態から同期状態までの引き込み時間が短く同期状態のときの同期はずれに対する耐力の弱い特性の位相比較器を使用すると同期状態がやや不安定になってしまい、また、非同期状態から同期状態までの引き込み時間が長く同期状態のときの同期はずれに対する耐力の強い特性の位相比較器を使用すると同期はずれのときから同期状態になるまで非同期の時間が長くなるという問題があった。

## 【0006】

【課題を解決するための手段】入力クロックに対して位相同期を行い、出力クロックを得る位相同期回路において、入力クロックは、第1の位相比較器と第2の位相比較器に分岐され、第1の位相比較器は、入力クロックと位相比較信号生成器の出力を位相比較し、非同期状態から同期状態までの引き込み時間は短い同期状態のときの同期はずれに対する耐力の弱い特性を持ち、第2の位相比較器は、入力クロックと位相比較信号生成器の出力を位相比較し、非同期状態から同期状態までの引き込み時間は長い同期状態のときの同期はずれに対する耐力の強い特性を持ち、引き込み検出器は、第1の位相比較器の同期状態か非同期状態かを示す第1の位相比較器の同期信号と第2の位相比較器の同期状態か非同期状態かを示す第2の位相比較器の同期信号とを収集し同期状態であるかどうか判断し、非同期状態のときは第1の位相比較器を選択し、同期状態のときは第2の位相比較器を選択するように切替器に制御を行い、切替器は、引き込み検出器の制御によって第1の位相比較器と第2の位相比較器の出力を切り替えてフィルターに送出し、フィルターは、切替器からの出力を積分して電圧制御発振器（Voltage Controlled Oscillator；以下VCOとする）に送出し、VCOはフィルターから入力された積分結果の電圧に対応した出力クロックを出力し、位相比較信号生成器は、分岐され

## 3

た出力クロックから第1の位相比較器と第2の位相比較器各々に対応した信号を生成することを特徴とする。

【0007】

【発明の実施の形態】図1は、入力クロック  $f_i$  を2つの位相比較器10、20に入力している。この2つの位相比較器10、20の各々の出力は切替器30に入力され、切替器30の出力は、引き込み検出器40の出力によってどちらかが選択されている。

【0008】切替器30の出力は、低域ろ波器50を介してVCO60に入力され、出力クロック  $f_o$  を出力している。また、VCO60の出力は位相比較信号生成器70に入力されている。

【0009】位相比較信号生成器70の出力は、前述した位相比較器10、20に入力されることによりフィードバックループが構成されている。

【0010】また、図2、図3は、それぞれ図1の構成における位相比較器10、20の入力クロック  $f_i$ 、位相比較信号生成器70の出力、位相比較器出力、低域ろ波器50の出力のタイムチャートを示した図である。

【0011】以下、図1～図3を用いて、本発明の動作を詳細に説明する。

【0012】図1～図3に基づいて本発明の一実施例を説明すると、位相比較器10は図2に示すような非同期状態から同期状態までの引き込み特性を持ち、常に位相比較が行われるため非同期状態から同期状態までの引き込み時間は短い、入力クロック  $f_i$  の位相変化、周波数変化により大きな影響を受けるため同期状態のときの同期はずれに対する耐力の弱い特性を持つEX-OR型（排他的論理和）の位相比較器である。入力クロック  $f_i$  と位相比較信号生成器70からの信号を比較して、入力クロック  $f_i$  と位相比較信号生成器70からの信号が同期している時には、同期信号11に同期状態であることを示す信号を送り、非同期の時には、同期信号11に非同期状態であることを示す信号を送る。

【0013】一方、位相比較器20は図3に示すような非同期状態から同期状態までの引き込み特性を持ち位相比較信号生成器70からの信号の立ち上がり点でのみ位相比較が行われるため非同期状態から同期状態までの引き込み時間は長い、位相比較信号生成器70からの信号の立ち上がり点から次の立ち上がり点まで位相比較が行われないため入力クロック  $f_i$  の位相変化、周波数変化により大きな影響を受けにくいことから、同期状態のときの同期はずれに対する耐力の強い特性を持つフリップフロップ型の位相比較器で、入力クロック  $f_i$  と位相比較信号生成器70からの信号を比較して入力クロック  $f_i$  と位相比較信号生成器70からの信号が同期している時には、同期信号21に同期状態であることを示す信号を送り、非同期の時には、同期信号21に非同期状態であることを示す信号を送る。

【0014】引き込み検出器40は、位相比較器10、

## 4

位相比較器20からの同期信号11、同期信号21を監視していて、位相比較器10と位相比較器20が共に同期しているとき、または位相比較器10だけが非同期のときは位相比較器20を選択する制御を切替器30に送出し、位相比較器10と位相比較器20が共に非同期のとき、または位相比較器20だけが非同期のときは、位相比較器10を選択する制御を切替器30に送出する。

【0015】切替器30は、引き込み検出器40からの信号により切替を行い、位相比較器10と位相比較器20とで切り替えを行い、切り替えた結果を低域ろ波器50に送出する。

【0016】低域ろ波器50は、切替器30からの出力を積分し、フィルタリングするため位相比較器10と位相比較器20の切り替えを行った時も、過渡応答することがない。

【0017】VCO60は、低域ろ波器50からの積分後の電圧に対応した出力クロック  $f_o$  を出力し、また位相比較信号生成器70にも分岐して出力する。

【0018】位相比較信号生成器70は、位相比較器10と位相比較器20に適合した位相比較用の信号を位相比較器10と位相比較器20に送出する。

【0019】次に、動作について説明すると、入力クロック  $f_i$  が入力されたとき、位相比較器10と位相比較器20に分岐されるが、分岐された後位相比較器10と位相比較器20で同期検出を行う。位相比較器10と位相比較器20が共に非同期状態の時は、引き込み検出器40で非同期であることを検出するため切替器30では、位相比較器10の出力信号を選択する。切替器30で選択された出力信号は低域ろ波器50を通り、VCO60に電圧が入力されクロックが出力される。位相比較器10は、非同期状態から同期状態までの引き込み時間が短いので位相比較器20に比べて短時間に同期状態になる。

【0020】非同期状態から同期状態になると、引き込み検出器40は、同期信号11と同期信号21によって位相比較器10と位相比較器20が両方とも同期状態であることが確認できるため、引き込み検出器40は、切替器30の切替制御を行い、切替器30は位相比較器20を選択し、同期状態での同期はずれに対する耐力を強くする。

【0021】逆に同期状態から非同期状態になったときは同期信号11と同期信号21によって引き込み検出器40が両方とも非同期状態であることを認識し、切替器30が非同期状態から同期状態までの引き込み時間が短い位相比較器10を選択する。

【0022】また、位相比較器10が故障したときには、同期信号11が非同期状態であることを示し、切替器30は位相比較器20を選択し、位相比較器20が故障したときには、同期信号21が非同期状態であることを示し、切替器30は位相比較器10を選択する。

10

20

30

40

50

## 【0023】

【発明の効果】以上説明したように、2つの異なる特性を持つ位相比較器を使用することにより、非同期状態から同期状態までの引き込み時間が短い特性と同期状態のときの同期はずれに対する耐力の強い特性という反する特性を位相比較器を切り替えることにより実現でき、また、どちらか一方の位相比較器が故障しても同期状態を確保できるため高い信頼性をもたらすという効果も有している。

## 【図面の簡単な説明】

【図1】本発明に関する位相比較器切替方式の一構成例である。

【図2】図1の第1の位相比較器の引き込み特性を示す図である。

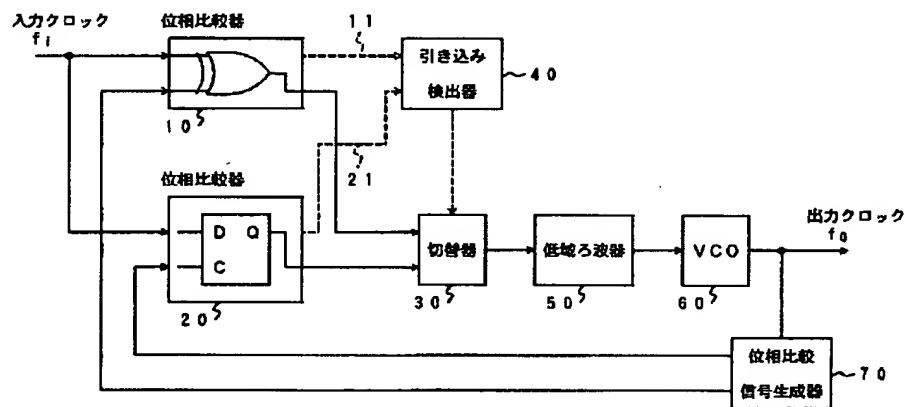
【図3】図1の第2の位相比較器の引き込み特性を示す図である。

【図4】従来の位相比較器切替方式の構成図である。

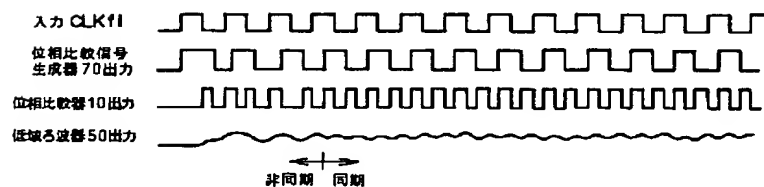
## 【符号の説明】

- 10 第1の位相比較器  
 11 第1の位相比較器の同期を示す同期信号  
 20 第2の位相比較器  
 21 第2の位相比較器の同期を示す同期信号  
 30 第1の位相比較器と第2の位相比較器の出力切替器  
 40 位相比較器の引き込み検出器  
 50 低域ろ波器  
 60 電圧制御発振器：VCO  
 70 位相比較用の信号を生成する位相比較信号生成器  
 110 位相比較器  
 120 低域ろ波器  
 130 電圧制御発振器：VCO  
 $f_i$  入力クロック  
 $f_o$  出力クロック

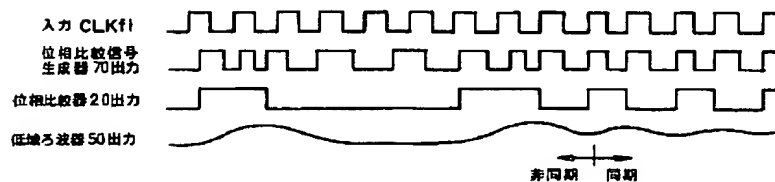
【図1】



【図2】



【図3】



(5)

特開平 9-116427

【図4】

